

引用格式:宗诚,纪鹏飞,何卫锋. 25 Gbps 多通道 MZM 驱动器设计 [J]. 微电子学与计算机, 2019, 36(8): 01-05. [ZONG C, JI P F, HE W F. Design of a 25Gbps multi-channel MZM driver [J]. Microelectronics & Computer, 2019, 36(8): 01-05.]

25 Gbps 多通道 MZM 驱动器设计

宗 诚, 纪鹏飞, 何卫锋

(上海交通大学 微纳电子系, 上海 200240)

摘 要: 本文提出了一种面向高密度集成的多通道 Mach-Zehnder 调制器的驱动器电路结构, 单通道驱动器包含信号均衡器、时钟树模块、时钟延时控制模块和输出摆幅控制模块等电路, 支持各通道 25 GHz 高速差分时钟延时与驱动器输出摆幅的独立可调, 以及最高 25 Gbps 的 NRZ 数字信号传输。基于 TowerJazz 0.18 μm SiGe BiCMOS 工艺, 完成了 6 通道驱动器的芯片设计。仿真结果表明, 单通道带宽达到 17.2 GHz, 最大差分输出摆幅为 3 V_{ppd}, Jitter 约为 8.9 ps, 在 2.3/3.6V 双电源供电下单通道功耗约为 646.9 mW。

关键词: 信号均衡; 时钟延时控制; 高密度集成; 多通道并行驱动电路; 电光调制器驱动器

中图分类号: TN929.11

文献标识码: A

文章编号: 1000-7180(2019)08-0001-05

Design of a 25 Gbps multi-channel MZM driver

ZONG Cheng, JI Peng-fei, HE Wei-feng

(Department of Micro-Nano Electronics, Shanghai Jiao Tong University, Shanghai 200240, China)

Abstract: A design of multi-channel Mach-Zehnder modulator driver aiming at high-density integration is proposed in this paper, the single-channel circuits consists of signal equalizer, clock tree, delay control module, output swing control module and other amplifying components, supporting delay-tunable 25GHz high-speed differential clock signals, swing-tunable differential outputs, and up to 25 Gbps NRZ digital signal transmission. Based on TowerJazz 0.18 μm SiGe BiCMOS technology, the driver chip consists of 6 individual channels, with a bandwidth of 17.2 GHz, a maximum output swing of 3V_{ppd} and an jitter of 8.9 ps. The chip consumes 646.9 mW from a dual power supply of 2.3/3.6V.

Key words: signal equalizer; clockdelay control; high-density integration; multi-channel parallel driver circuit; electro-optic modulator driver

1 引言

物联网、人工智能和云计算等新兴信息技术的快速发展,使得在数据中心以及高性能计算领域中的数据流量呈现几何增长,预计到 2021 年全球数据流量将达到每年 20.6 Zettabytes,超大规模的数据中心将达到 628 座^[1],巨大的数据体量对高速数据传输互连提出了极大的挑战,因而需要更强大的数据处理能力以及更加高速的数据传输接口。近年来,

芯片的速度和集成密度在逐年呈指数上升,远远超过芯片间互连的发展速度,使得高速数据互连接口速度正在逐渐成为限制系统性能的瓶颈^[2],为了解决这一矛盾,一个有效解决方案便是引入光互连模块^[3]。光互连收发器模块中通常包括激光器、电光调制器、驱动器、光传输媒介以及光电探测器、跨导放大器等。其中驱动器芯片用于驱动激光器^[4](直接调制)或电光调制器^[5](外部调制)。近年来驱动器芯片的主要研究内容围绕在如何进一步提高数据传输速率、提高驱动能力以及降低功耗上^[5-6],但多局限于

单通道设计,对于超过四通道的多通道驱动芯片设计研究较少.本文基于 TowerJazz 0.18 μm BiCMOS 工艺,面向马赫曾德尔调制器(Mach-Zehnder Modulator, MZM)的驱动应用,设计实现了单通道 pitch300 μm ,单片集成 6 通道的高密度驱动器电路,达到了单通道 25 Gbps 的数据速率,并行可实现 150 Gbps 数据传输.本电路在设计时综合考虑了阻抗匹配优化、通道串扰抑制,通过 Cadence Virtuoso 仿真验证了该设计方案的可行性与性能指标.

2 驱动器芯片电路结构

驱动器芯片集成了 6 个独立的同步驱动电路通道(如图 1 所示),每个通道的主体电路由连续时间线性均衡器(ContinuousTime Linear Equalizer, CTLE)电路、信号重构器(Retimer)电路以及前级放大器(Pre-driver)和主放大器(Main-driver)电路构成.其中 CTLE 用于补偿前级信号的高频损失;信号重构器对各个通道的信号进行同步时钟校准,保证并行数据传输准确;前级放大器与主放大器则起到将信号放大到所需摆幅的作用,用于驱动后级的 MZM.此外芯片还集成了时钟延时控制与输出摆幅控制等模块,其中延时控制模块用于精确调节时钟树各支路的时钟延时,以保证通道间数据同步性;摆幅控制模块则通过调节主放大器尾电流的大小控制驱动信号摆幅,实现 6 通道输出摆幅独立可调的功能,便于同后级 MZM 的协同优化.

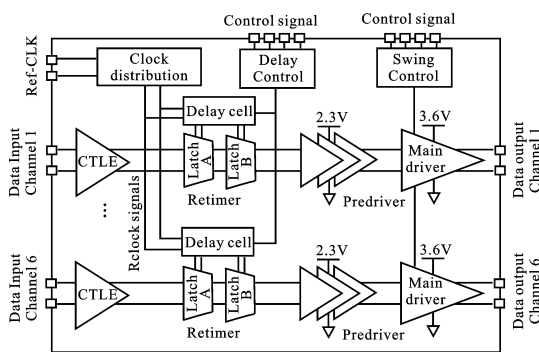


图 1 驱动器芯片结构框图

本芯片基于 TowerJazz0.18 μm SiGe BiCMOS 工艺设计实现,由于高速 NPN 管与 PNP 管性能不对称,特征频率与最高振荡频率相差较大,较难实现基于互补型反相器结构的电压模逻辑(Voltage Mode Logic, VML)放大器,因而在本设计中驱动电路广泛采用了电流模逻辑(Current Mode Logic, CML)差分放大器结构作为放大电路,相较于电压

模逻辑,这一结构具有高频性能好、输出幅度易调节、非线性失真小、阻抗匹配较为简单、并行运算简单等优势,但同时也具有伴随高输出摆幅而来的电路功耗较大的问题.因而,为了平衡电路驱动能力和功耗之间的矛盾,本设计采用了双电源供电的方案,其中输出级电路的主放大器级采用 3.6 V 电源供电来保证最大输出摆幅满足要求(3 V_{ppd}),而前级电路则使用 2.3 V 电源供电来最大程度上降低电路整体功耗.

由于高速信号在通过低通特性的前端或后端信道时,常常在高频段受到较大的抑制,容易造成信号的畸变与失真,因而针对于高速信号来说,一般会在驱动电路中插入均衡模块来补偿受到的高频损失,如线性均衡补偿的 CTLE,或时域补偿的前馈均衡器(FFE)和判决反馈均衡器(DFE)等.在本设计中,芯片前端集成了易于调节且面积较小的基于差分放大器的有源 CTLE 结构,如图 2(a)所示.其中 CTLE 可对输入信道的高频损耗进行补偿,以增强输入信号的高频分量、提高信号翻转边沿速度以及信号质量.取决于 CTLE 均衡补偿的特性,其低频增益常常较低,因而需要跟随缓冲级电路来增强低频增益,对均衡后的信号进行初步的整形与放大.

图 2(a)电路中 CTLE 级跨接的 R_s 与 C_s 将额外引入一个零点 ω_z 以及一个极点 ω_{p1} ,其传输函数及零极点表达式如式(1)、式(2)所示.

$$\frac{V_{out}}{V_{in}}(s) = \frac{g_m R_D}{1 + \frac{1}{2} g_m R_s} \cdot \frac{1 + \frac{s}{\omega_z}}{(1 + \frac{s}{\omega_{p1}})(1 + \frac{s}{\omega_{p2}})} \quad (1)$$

$$\omega_z = \frac{1}{C_s R_s}, \omega_{p1} = \frac{1 + \frac{1}{2} g_m R_s}{C_s R_s}, \omega_{p2} = \frac{1}{C_L R_D} \quad (2)$$

如上式可知,电路直流增益可表示为 $\frac{g_m R_D}{1 + \frac{1}{2} g_m R_s}$,存在一个零点和两个极点,零点为 ω_z ,

主极点为 ω_{p1} ,次极点为 ω_{p2} .分析可以得出 R_s 与 C_s 的取值将直接影响 CTLE 的零极点位置与低频直流增益大小. R_s 增大则低频增益降低,相应的高频补偿强度也会增大,如图 3(a)所示,但是直流增益过小(低于 0dB)则会抑制有用信号从而降低信噪比,为了均衡这一矛盾本设计中取 R_s 为 50 Ω ,直流增益为 1.22 dB.由(2)可知 C_s 会同时影响额外引入的零点和极点位置, C_s 越小均衡中心频率越高但

同时峰值也越低,如图 3(b),在本设计中取 C_s 为 dB.

400 fF,均衡中心频率 20.34 GHz,均衡强度为 4.25

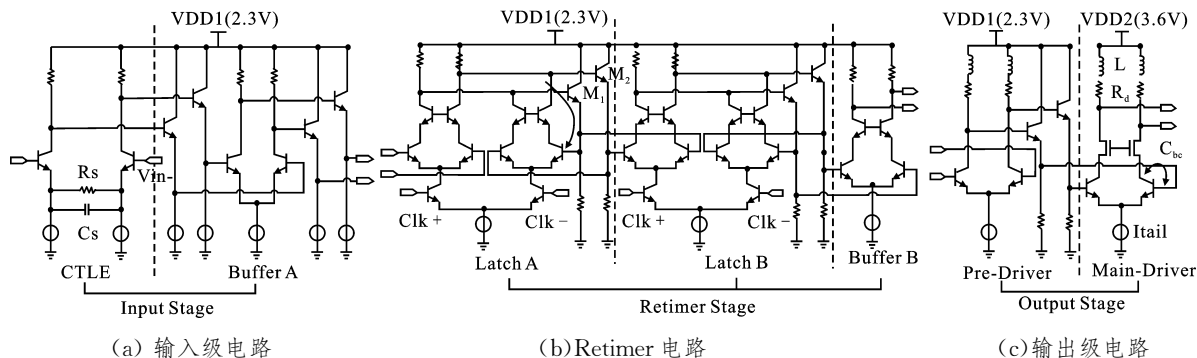


图 2 驱动器芯片单通道主体电路图

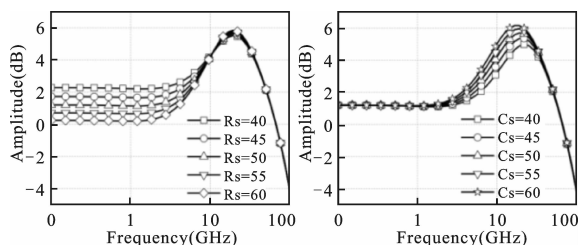


图 3 CTLE 幅频响应曲线随 R_s 与 C_s 取值变化情况

为减小芯片上 6 个通道驱动电路的时间偏移,保证并行数据正确传输,需要 Retimer 与同步时钟信号对各个通道的信号进行时钟校准。在本设计中,Retimer 电路结构主要由 Latch A 与 Latch B 构成的电流模逻辑主从式 D 触发器以及输出缓冲级电路组成,其电路图如图 2(b)所示。其中在锁存器设计中,不同于传统上的锁存器前级输出信号直接反馈到输入端(如图 2(b)虚线所示),一级额外的射随器 M_1/M_2 被用于反馈回路(如图 2(b)实线所示)来降低信号电平,从而保持锁存器各级共模电平与驱动能力的一致性^[7]。此时在 25 Gbps 信号速率即 40 ps 的码元宽度下,触发器电路 10%—90% 上升下降沿时间分别为 15.2 ps 和 14.6 ps,如图 4(a)所示。

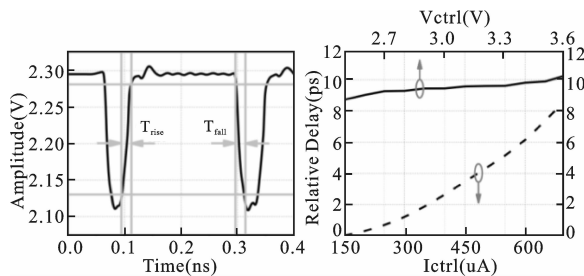


图 4 延时控制仿真与 Retimer 瞬态仿真

针对于同步时钟信号,电驱动芯片上集成了 1—6 差分时钟树电路以及独立可调时钟延时单元结构,放大部分均基于电流模逻辑差分放大器设计,其中延时控制单元中插入 MOS 开关控制(V_{ctrl})的并联电容(650 fF),结合对尾电流 I_{ctrl} 的调节,实现了最大约 10.28 ps 的可调延时,变化曲线如图 4(b)。

输出级电路包括了前级放大器以及主放大器电路,通过逐级放大从而产生大摆幅的驱动信号,其电路图如图 2(c)所示。放大器采用了电流模逻辑的差分放大器结构,前级由 2.3 V 电源供电,后级由 3.6 V 供电。区别于直接漏级输出的 Open-drain 结构,本设计保留了主放大器 30 Ω 的负载电阻,此结构虽然需要消耗更多的尾电流来增加输出摆幅,但实现了高速差分信号的近端匹配,消除了由于远端阻抗失配而造成的信号反射。此时主放大器的输出电平与单端摆幅可由式(3)、式(4)表示,可知在 30 Ω 的负载与 3 V_{ppd} 的差分摆幅要求下,主放大器尾电流约为 100 mA。

$$V_H = VDD - \frac{1}{4} I_{tail} R_D, V_L = VDD - \frac{3}{4} I_{tail} R_D \quad (3)$$

$$V_{pp-singleended} = \frac{1}{2} I_{tail} R_D \quad (4)$$

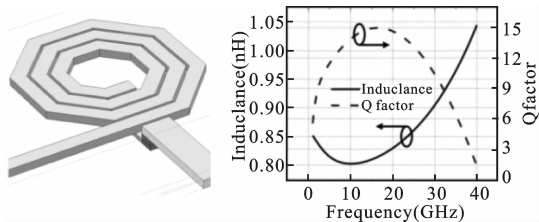
除此以外,主放大器还采用了 NMOS 管 Cascode 结构,一方面对主放大器较高的电源电压进行了分压,避免了下方高速 NPN 输入管发生击穿;另一方面利用了“屏蔽效应”保护了输入端不会受到输出端大摆幅信号的影响。除此以外,Cascode 级的引入还降低了前级放大器的等效负载压力。若忽略主放大器增益随频率变化,则其输入管基极-集电极电容 C_k 的米勒等效电容可表示为 C_k 与输入管增益的乘积,而 Cascode 的引入使得输入管集电极负载由之前的 R_D 降低为 NMOS 源极等效电阻 $1/g_m$,从而

降低了输入管增益,使得米勒等效电容大大降低。

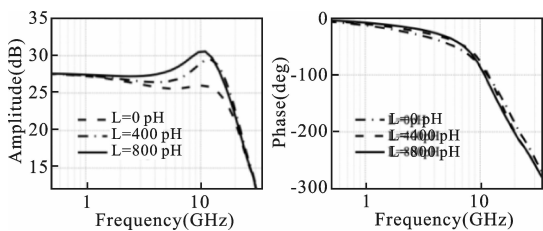
另外,为了满足 25 Gbps 传输速率要求,本设计中主放大器还采用了基于片上差分线圈电感的 Shuntpeaking 结构,用于进一步提高电路带宽。若将主放大器放大管看做小信号受控电流源,忽略增益随频率的变化,则利用半电路分析方法主放大器传输函数如式(5)所示。

$$\begin{aligned} \frac{V_{out}}{V_{in}}(s) &= \frac{V_{out}}{I_{in}} g_m(s) = g_m \left(\frac{1}{sC} \right) || (R + sL) \\ &= \frac{R + sL}{1 + sRC + s^2 LC} = \frac{1 + s/m\omega_0}{1 + s/\omega_0 + s^2/m\omega_0} \quad (5) \end{aligned}$$

式中, R 表示放大器等效输出电阻, C 表示输出节点等效电容, L 表示电感大小, $\omega_0 = 1/RC$, $m = R^2 C/L$ 。则可以看出电感的引入在电路传输函数中引入了一个额外的零点 $m\omega_0$, 从而拓宽了主放大器带宽。图 5(c)(d) 中给出了输出级电路在不同电感下的幅频与相频响应, 可知增加电感值可以明显增大电路带宽, 但可能会影响相频响应群延时的变化平整性, 因而折中考虑两者影响本设计中采用了单端 800 pF 线圈电感用于带宽的拓展。



(a) 电感 Sonnet 仿真模型 (b) 电感值与 Q 值仿真



(c) 幅频响应

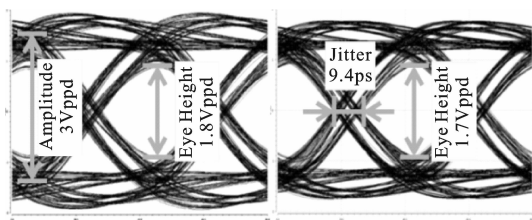
(d) 相频响应

图 5 输出级在不同电感下的频率响应与电感仿真

线圈电感的仿真模型与参数如图 5(a)(b) 所示, 线圈电感的仿真模型由 3 圈 2.8 μm 厚的顶层金属 Al 构成, 线宽 10 μm , 间距 2.1 μm , 基于 Sonnet 电磁仿真结果, 线圈电感在 20 GHz 频率下等效电感值约为 800 pF, Q 值在 15 GHz 频率点处达到 14.9, 此时输出级电路带宽由 13.71 GHz 提高到 17.20 GHz, 增加了 1.25 倍。

图 6 给出了驱动器芯片单通道(a)与多通道(b)

模式下驱动电路最大输出瞬态仿真波形的眼图结果, 其中单通道模式下测试通道输出满摆幅驱动信号, 其他通道输入接地; 而多通道模式下则为测试通道与上下相邻的通道均保持满摆幅输出。由图可知在单通道模式 25 Gbps 信号速率下, 驱动器输出摆幅达到 3.0 Vppd, 眼高约为 1.81 Vppd, 眼宽约为 31.2 ps, Jitter 抖动约为 8.9 ps。此时主放大器功耗约 282.6 mW, 其中前级驱动电路功耗约 285.3 mW, 时钟树及控制单元功耗约 79.1 mW, 总功耗约 646.9 mW/channel。多通道模式下, 因受到两侧相邻通道信号的串扰影响, 输出摆幅基本保持不变, 但眼高降为 1.70 Vppd, 眼宽 30.1 ps, Jitter 约为 9.4 ps。



(a) 单通道仿真结果 (b) 多通道仿真结果

图 6 驱动器芯片瞬态仿真结果

3 驱动器芯片后端物理设计

驱动器芯片的版图如图 7 所示, 主要由高速信号输入与时钟树以及 6 通道驱动电路主体所构成, 采用了 TowerJazz 0.18 μm SiGe BiCMOS 工艺, 芯片面积为 5 mm $\times$ 2.5 mm, 其中驱动电路主体部分面积约 1.8 mm $\times$ 1.86 mm, 单个通道的尺寸为 1.8 mm $\times$ 0.3 mm。取决于芯片前后端互连工艺加工精度的不同, 输入与输出 PAD 采用了不同的尺度, 在驱动器芯片前端 PAD 为 120 μm , 呈斜向交错排列以降低占用面积; 后端 PAD 直径为 80 μm , 呈三角 SGS (Signal-Ground-Signal) 排布。

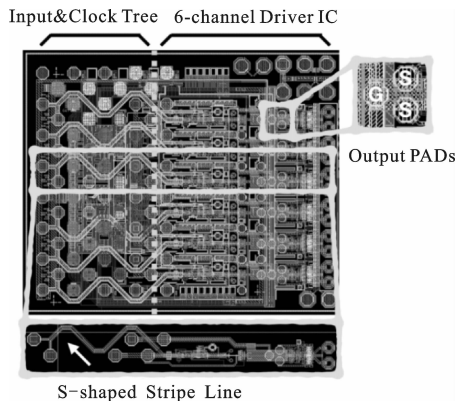


图 7 驱动器芯片版图设计

芯片布局中高速信号输入端口、控制端口、电源端口以及参考时钟输入端口均位于电路左侧部分,以便于通过 Micro-bump 与硅基板互连. 其中 6 通道高速信号输入端口位于芯片最左侧,输入信号沿着 S 形电介质条状线(Stripe line)传输线(如图 7 所示)接入驱动电路主体,以防止在传输过程中受到周围其他端口信号影响. 除此以外,用于产生同步时钟的时钟树模块以及可控延时单元也集成在此部分,以最大程度上靠近参考时钟端口,降低高速时钟信号传输距离.

芯片右侧为驱动器主体电路模块,由 6 个独立通道构成,各通道电路均沿差分信号传输方向呈对称性分布,以此来抑制共模噪声. 主体电路中 CTLE 均衡电容以及延时控制模块中的并联电容均采用了垂直 MIM 电容进行设计,电容密度 $2 \text{ fF}/\mu\text{m}$,温度系数 $20 \text{ ppm}/\text{V}^2$;电路中负载电阻则使用了温度稳定性较高($-23.79 \text{ ppm}/\text{V}^2$)的低阻未硅化 P 型 poly 电阻,以此来降低温度偏差对电路性能的影响. 对于输入差分管或匹配电阻等对匹配性要求较高的器件,本设计中均进行了器件拆分与共质心匹配(Common centroid matching),以此来提高器件匹配性. 由于通道集成度较高($300 \mu\text{m}$ 的通道间距),驱动电路长距离内部敏感信号线均采用地线屏蔽层加以隔离,同时尽量保持不同通道间电源线的间距以降低通过电源的耦合串扰,此外敏感模块与器件均使用了 N 型或 P 型的 GuardRing 进行了保护.

4 结束语

本文完成了面向光互连应用的高速多通道 MZM 驱动电路的设计. 通过对驱动器中信号均衡器、时钟树电路与延时控制电路、主体放大器电路等电路模块进行仿真和分析,完成了整个驱动器的电路设计. 后基于 TowerJazz $0.18 \mu\text{m}$ SiGe BiCMOS 工艺,设计完成了 6 通道高密度的 MZM 驱动器芯片. 仿真表明,该驱动器支持 25 Gbps 的通道速率,输出级 3 dB 带宽为 17.2 GHz,最大输出摆幅 $3.0 \text{ V}_{\text{ppd}}$,可在高速高密度光电互连链路中得到应用.

参考文献:

- [1] CISCO. Cisco Global Cloud Index: Forecast and Methodology 2016-2021 White Paper [R]. USA: Cisco, 2018.
- [2] University of Toronto. Quantum Paint-on Laser Could Rescue Computer Chip Industry [EB/OL]. ScienceDaily, 2006. www. sciencedaily. com/releases/2006/04/060417124542. htm
- [3] ALI GHIASI. Large data centers interconnect bottlenecks [J]. Opt. Express, 2015, 23(3): 2085-2090.
- [4] KUMAR R D, MADHUSOOTHANAN K N, NAIR K R S, et al. A simple cost effective laser driving mechanism for optical communication [C]. 2017 IEEE International Conference on Power, Control, Signals and Instrumentation Engineering (ICPCSI). Chennai: 2017: 433-435.
- [5] TANAKA S, TAKASI S, TSUYOSHI A. Ultra-low-Power ($1.59 \text{ mW}/\text{Gbps}$), 56-Gbps PAM4 Operation of Si Photonic Transmitter Integrating Segmented PIN Mach-Zehnder Modulator and 28-nm CMOS Driver [J]. Journal of Lightwave Technology, 2018, 36(5): 1275-1280.
- [6] ZANDIEH A, SCHVAN P, VOINIGESCU S P. Linear Large-Swing Push-Pull SiGe BiCMOS Drivers for Silicon Photonics Modulators [J]. IEEE Transactions on Microwave Theory and Techniques, 2017, 65(12): 5355-5366.
- [7] AWNY A, THIEDE A, BORNGRÄBER J, et al. Speed/power performance of D-type flip-flops in a $0.13 \mu\text{m}$ SiGe:C HBT technology demonstrated by a 86 GHz static frequency divider [C]. German Microwave Conference Digest of Papers. Berlin: 2010: 24-27.

作者简介:

宗 诚 男,(1994-),硕士研究生. 研究方向为光互连驱动电路、高速集成电路、模拟集成电路.

E-mail: zongcheng@sjtu. edu. cn

纪鹏飞 男,(1995-),博士研究生. 研究方向为硅基光互联、高速集成电路、模拟集成电路.

何卫锋 男,(1976-),硕士生导师,副研究员. 研究方向为光电混合集成电路技术、超低功耗集成电路技术.